

**Structura Sistemelor de Calcul**

**Unitate aritmetică și logică**

**Horge Rareș-Liviu**

**30236**

**Profesor coordonator: Fati Daniela**

**03.01.2021**

Cuprins

[1. **Rezumat** 2](#_Toc60525025)

[2. **Introducere** 3](#_Toc60525026)

[3. **Fundamentare teoretica** 4](#_Toc60525027)

[3.1. **Mediul Xilinx ISE Design Suite: WebPackEdition** 5](#_Toc60525028)

[3.2. **Nexys4 DDR** 5](#_Toc60525029)

[3.3. **Unitatea Aritmetică și Logică** 6](#_Toc60525030)

[3.4. **Adunarea Binară** 7](#_Toc60525031)

[3.5. **Scadere Binară** 7](#_Toc60525032)

[3.6. **Înmulțirea Binară** 7](#_Toc60525033)

[3.7. **Împărtirea Binară** 7](#_Toc60525034)

[4. **Proiectare si implementare** 8](#_Toc60525035)

[4.1. **Modului unitatii aritmetice si logice** 8](#_Toc60525036)

[4.2. **Implementarea operațiilor** 8](#_Toc60525037)

[4.3. **Interfata cu utilizatorul** 9](#_Toc60525038)

[4.4. **Manual de utilizare** 9](#_Toc60525039)

[5**. Rezultate experimentale** 9](#_Toc60525040)

[**Bibliografie** 11](#_Toc60525041)

[**Anexa A** 12](#_Toc60525042)

# 1. **Rezumat**

În această lucrare se studiază unitatea aritmetică si logică. Operațiile binare componente ale acesteia fiind adunarea, scăderea, înmulțirea și împărțirea. Aceste operații fiind realizate prin intermediul următoarelor tipuri de circuite: sumator cu anticiparea transportului, circuit de înmulțire matriceal si circuit de împărțire prin metoda refacerii restului parțial pentru numere fără semn. Se urmărește vizualizarea etapelor de execuție a operațiilor unității aritmetice logice cu ajutorul unor programe de simulare a funcționării dispozitivului și a implementării acesteia pe plăcuța Nexys 4 DDR.

# 2. **Introducere**

Unitatea aritmetică și logică (UAL) este acea parte a calculatorului care efectuează operațiile aritmetice și logice specificate de instrucțiuni asupra datelor.

Adunarea binara realizează operația de adunare bit cu bit, a doua numerele aflate in format binar.

Scăderea binara este asemănătoare cu adunarea, aceasta este realizată prin adunarea la primul număr, a complementului fata de doi, a celui de-al doilea.

Înmulțirea binară este asemănătoare cu înmulțirea zecimală, aceasta fiind rezultatul unor adunări repetate a primului număr de “al doilea număr” de ori.

Împărțirea binară , la fel ca si înmulțirea, este asemănătoare cu cea zecimala cu cat si rest.

# 

# 3. **Fundamentare teoretica**

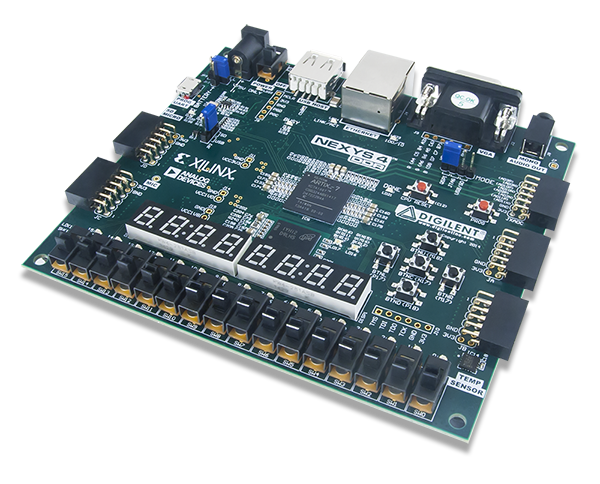
## 3.1. **Mediul Xilinx ISE Design Suite: WebPackEdition**

Este mediul de proiectare utilizat in proiect, acesta aparține companiei Xilinx, fiind potrivit pentru lucrul cu plăcuțele FPGA pe Windows. Mediul permite sinteza, simularea si implementarea proiectului.

## 3.2. **Nexys4 DDR**

Placa Nexys 4 DDR (prezentata in figura 3.2.2) este un circuit digital complet si gata utilizabil bazat pe ultima generatie Artix-7 Field Programmable Gate Array (FPGA) de la Xilinx.

Aceasta are o capacitate larga FPGA, o generoasă memorie externă și o colecție de porturi USB, Ethernet etc. Poate găzdui design-uri care variază de la circuite combinaționale simple pana la cicuite cu o complexitate ridicată.

Fig 3.2.1: Placuta Nexys 4 DDR

Placuta dispune de opt afisoare 7-segment display, unde vor putea fi afisate atat numerele asupra cărora se vor aplica operațiile, cat si rezultatul final al operațiilor.

Aceasta mai are 16 switchuri prin care vor fi setate numerele si 5 butoane pe care le vom folosi pentru a selecta operația dorita.

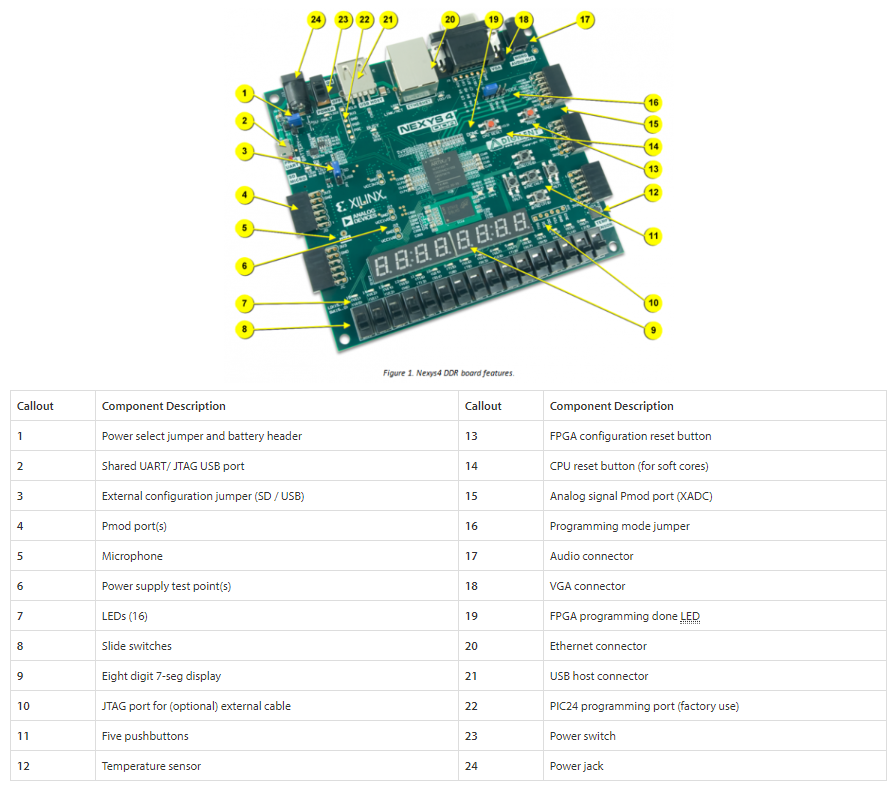


Fig 3.2.2: Componente principale Nexys4

## 3.3. **Unitatea Aritmetică și Logică**

Unitatea aritmetică și logică implementează diferite operații. Rezultatul dorit este selectat pe baza codului operației prezent în instrucțiune.

## 3.4. **Adunarea Binară**

Adunarea binară poate fi implementate prin diferite circuite printre care: sumatorul cu propagarea succesivă a transportului, sumatorul cu anticiparea transportului, sumatorul cu salvarea transportului.

Am ales sa implementez sumatorul cu anticiparea transportului, deoarece are o viteza crescuta a operatiei de adunare.

## 3.5. **Scadere Binară**

Acastă operație poate fi realizată printr-un circuit separate care realizează scaderea. Se preferă totusi realizarea scăderii prin adunarea descăzutului cu complementul față de doi al scăzătorului. Astfel folosim același circuit ca și la operatia de adunare.

## 3.6. **Înmulțirea Binară**

La fel ca și adunarea, înmulțirea poate fi implementată prin diverse circuite combinationale (ex: circuit de înmulțire matriceală) si secventiale (ex: înmulțitor Booth). Am ales prima varianta pentru implementare.

## 

## 3.7. **Împărtirea Binară**

Pentru implementarea împărțirii binare exista trei tipuri metode principale: metoda comparatiei, metoda refacerii restului parțial si metoda fără refacerea restului parțial.

# 4. **Proiectare si implementare**

## 4.1. **Modului unitatii aritmetice si logice**

Functionarea unitații aritmetice si logice, prezentată mai sus, a fost implementată prin:

- un multiplexor care selecteaza rezultatul operatiei pe care dorim sa o realizam

- un sumator cu anticiparea transportului

- un circuit de inmultire matriceala

- un circuit de impartire cu refacerea restului partial

## 4.2. **Implementarea operațiilor**

Implementarea sumatorului cu anticiparea transportului și înmulțirii matriceale sunt prezentate in lucrarea „Circuite aritmetice combinaționale”, scrisa de profesor dr. Baruch Zoltan Francisc.

Implementarea împărțitorului cu refacerea restului partial este prezentată in lucrarea „Circuite aritmetice secvențiale”, scrisa de profesor dr. Baruch Zoltan Francisc.

## 4.3. **Interfata cu utilizatorul**

După cum a fost prezentat in partea despre placuta Nexys4 DDR aceasta dispune de opt 7 segment display, 16 swithcuri si 5 butoane pe care le vom folosi in interfața cu utilizatorul.

Modul de utilizare a programului este unul destul de logic si simplu. prezentat in continuare:

* Cele 16 switchuri vor fi folosite pentru a introduce numerele, fiecare switch corespunde unui bit. Aceste numere sunt afisate si pe primele patru afisoare BCD, pentru claritate.
* Cu ajutorul celor 5 butoane o sa selectam ce operatie dorim sa realizam (butonul sus = adunare, jos = scadere, dreapta = înmulțire, stânga + centru = împartire)
* Rezultatele sunt afișate pe ultimele patru afișoare BCD (pentru impartire primele doua afisoare reprezinta restul, iar urmatoarele doua catul)

## 4.4. **Manual de utilizare**

Pentru testarea aplicatiei avem nevoie de o placuta Nexys4 DDR si de un calculator cu mediul Vivado instalat. Rezultatele experimentale o sa poata sa fie vazute fie pe placuta, fie in mediul de simulare virtual din Vivado. Dupa rularea bancului de test din Vivado, o sa apară o fereastra de simulare in care se pot observa numerele introduse si mai apoi rezultatul obtinut pentru fiecare dintre acestea.

# 5**. Rezultate experimentale**

Rezultatele simularii unitatii aritmetice si logice sunt prezentate in figura 1 si figura 2.

In figura 1, numerele pe care se executa operatiile sunt 6 si 3. Operatiile sunt executate in ordinea urmatoare: impartire, adunare, scadere si inmultire. Rezultatele corespunzatoare sunt corecte din punct de vedere matematic, 6 : 3 = 2 rest 0, 6 + 3 = 9, 6 – 3 = 3, 6 \* 3 = 18 ( 12 hexa).

In figura 2, numerele pe care se executa operatiile sunt 9 si 4. Operatiile sunt executate in ordinea urmatoare: impartire, adunare, scadere si inmultire. Rezultatele corespunzatoare sunt corecte din punct de vedere matematic, 9 : 4 = 2 rest 1, 9 + 4 = 13 ( D hexa), 9 – 4 = 5, 9 \* 4 = 36 ( 24 hexa).

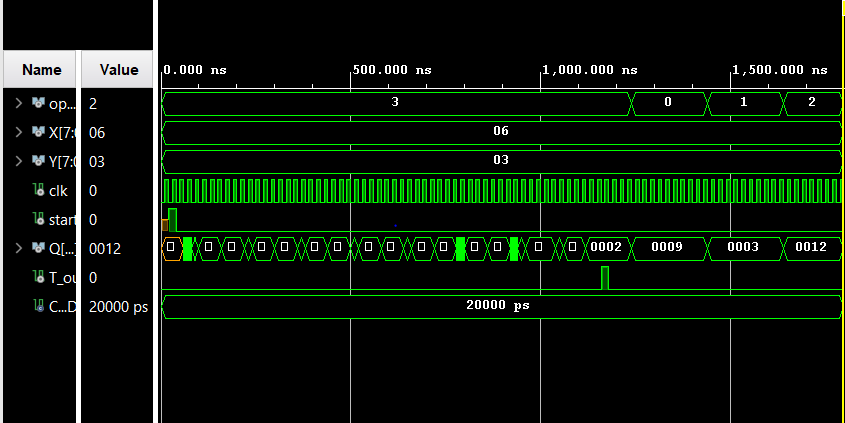


Figura 1, simularea circuitului cu intrarile 6 si 3

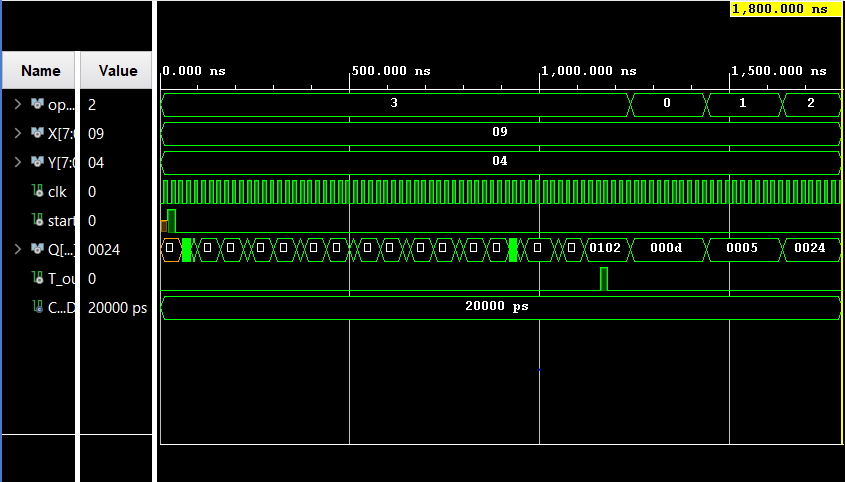


Figura 2, simularea circuitului cu intrarile 9 si 4

# 6**. Concluzii**

Unitatea aritmetică si logică reprezinta un bloc fundamental constituent al oricarui procesor. In proiectul meu, am încercat sa cuprind o mare parte din functionalitatea acesteia.

# **Bibliografie**

<http://users.utcluj.ro/~baruch/ssc/labor/Aritm-Combinationala.pdf>

<http://users.utcluj.ro/~baruch/ssc/labor/Aritm-Secventiala.pdf>

https://reference.digilentinc.com/reference/programmable-logic/nexys-4-ddr/start

# **Anexa A**

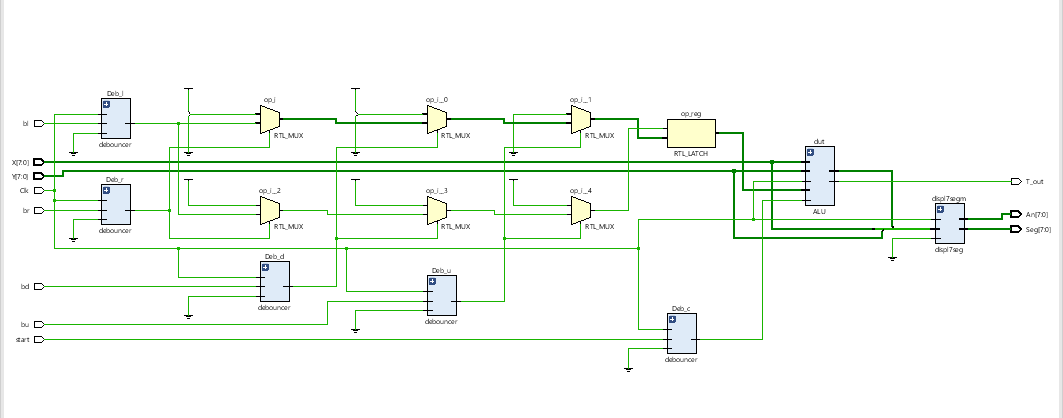


Figura 3, implementarea circuitului de catre mediul de dezvoltare Vivado